

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27619

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	21/3065			21/318
	21/318			21/302
	21/76			21/76
				29/78
				3 0 1 G
				M
				M
				S
				3 0 1 R
審査請求 未請求 請求項の数6 O L (全 7 頁)				

(21)出願番号 特願平7-175827

(22)出願日 平成7年(1995)7月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 黒川 敦雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

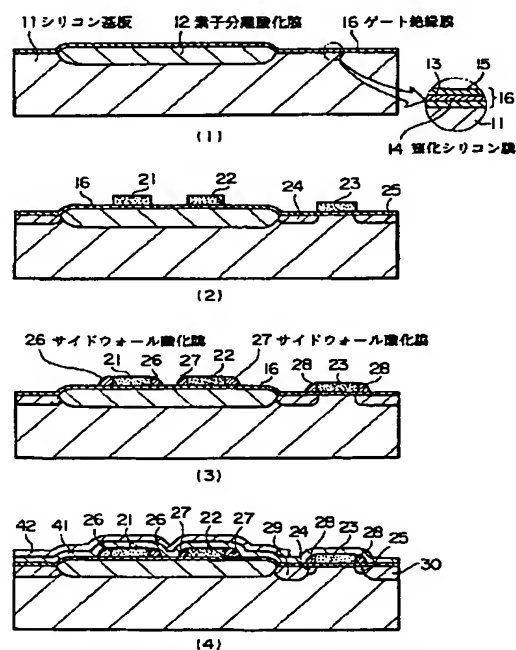
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体基板に形成した素子分離酸化膜上にサイドウォール酸化膜を形成する際には、素子分離酸化膜もエッチングされるので、素子分離酸化膜の膜厚が薄くなる。そのため、半導体装置の信頼性が劣化する。

【解決手段】 シリコン(半導体)基板11の素子形成領域を電氣的に分離する素子分離酸化膜12を形成し、次いで素子分離酸化膜12上にトランジスタのゲート絶縁膜16を窒化シリコン膜を含む積層膜または窒化酸化膜で形成する。続いてゲート絶縁膜16上に素子としてゲート電極21~23を形成し、さらにゲート電極21~23を覆う状態に酸化膜を形成した後、ゲート絶縁膜16に対して酸化膜が選択的にエッチングされるエッチバックによって各ゲート電極21~23の側部にサイドウォール酸化膜26~28を形成する。



本発明の第1実施例の製造工程断面図

1

【特許請求の範囲】

【請求項 1】 半導体基板の素子形成領域を電気的に分離する素子分離酸化膜を形成する工程と、
該素子形成領域上および該素子分離酸化膜上にトランジスタのゲート絶縁膜を形成する工程と、
該ゲート絶縁膜上に素子を形成する工程と、
該素子を覆う状態に酸化膜を形成した後、該酸化膜をエッチバックして該素子の側部にサイドウォール酸化膜を形成する工程とを備えた半導体装置の製造方法において、
前記ゲート絶縁膜は窒化膜を含む積層膜または窒化酸化膜からなり、
前記エッチバックは前記酸化膜が前記ゲート絶縁膜に対して選択的にエッチングされることを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
前記素子は M I S トランジスタのゲート電極であることを特徴とする半導体装置の製造方法。

【請求項 3】 半導体基板の素子形成領域を電気的に分離する素子分離酸化膜を形成する工程と、
該素子形成領域上および該素子分離酸化膜上に素子を形成する工程と、
該素子を覆う状態に絶縁膜を形成した後、該絶縁膜をエッチバックして該素子の側部にサイドウォール絶縁膜を形成する工程とを備えた半導体装置の製造方法において、
前記素子を形成した後で前記絶縁膜を形成する前に、該絶縁膜をエッチバックした際に少なくとも下地が露出される部分に、該エッチバックにおいて該絶縁膜が選択的にエッチングされるストッパ絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、
前記ストッパ絶縁膜は、窒化膜、窒化膜を含む積層膜または窒化酸化膜からなることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 3 記載の半導体装置の製造方法において、
前記素子は M I S トランジスタのゲート電極であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 記載の半導体装置の製造方法において、
前記素子は M I S トランジスタのゲート電極であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、特に半導体装置の素子分離酸化膜上にサイドウォール絶縁膜を形成する際に利用される半導体装

2

置の製造方法に関するものである。

【0002】

【従来の技術】 L S I の微細化にともない、金属-酸化膜-半導体（以下、M O S という）トランジスタのゲート長のスケールダウンが進み、同時に電極間スペースのデザインルールも狭くなっている。従来技術によって製造した半導体装置を図 3 によって説明する。図の（1）は平面レイアウト図を示し、図の（2）は（1）に示した A-A' 線断面図であり、図の（3）は（1）に示した B-B' 線断面図である。なお、図の（2）、（3）は図の（1）に対して縮尺は合わせていない。

【0003】 図 3 に示すように、まず、L O C O S（Local Oxidation of Silicon）法によって、シリコン基板 51 に、素子形成領域 52 と素子形成領域 53 とを電気的に分離するための酸化シリコン（ $S i O_2$ ）からなる素子分離酸化膜 54 を形成する。その上に例えば電極形成用の膜を成膜した後、リソグラフィー技術とエッチング技術とにより上記電極形成用の膜をパターニングして第 1 層電極 55、56 を形成する。次いで化学的気相成長（以下、C V D という、C V D は Chemical Vapour Deposition の略）法により酸化膜を成膜した後、それをエッチバックすることによって第 1 層電極 55、56 の側部にサイドウォール酸化膜 57、58 を形成する。続いてリソグラフィー技術、イオン注入技術および熱拡散処理によって、シリコン基板 51 の素子形成領域 52、53 に拡散層 59、60 を形成する。その後 C V D 法によって層間絶縁膜 61（ただし、レイアウト図には図示せず）を形成した後、その上に第 2 層電極 62 を形成する。

【0004】

【発明が解決しようとする課題】 しかしながら、素子分離酸化膜上の第 1 層電極の間隔が $0.4 \mu m$ 以下の領域に、C V D 法によってサイドウォール酸化膜を形成するための酸化膜を堆積すると、その酸化膜の段差カバリッジ性は 70% 以下となる。そのため、図 4 の（1）、（2）に示すように、酸化膜をエッチバックする時に第 1 層電極 55、56 間の素子分離酸化膜 54 のオーバーエッチング量が実質的に増加する。その結果、第 1 層電極 55、56 間での素子分離酸化膜 54 の膜厚が減少して、拡散層 59、60 を形成した後の実効的な素子分離酸化膜 54 の幅 w が減少する。なお、図 4 の（1）、（2）は上記従来の技術で説明した図 3 の（2）、（3）に対応する。また、素子分離酸化膜 54 がオーバーエッチングされない場合を図の（2）中に破線で示す。この場合には素子分離酸化膜 54 の厚さが薄くならないので、拡散層 59、60 は破線で示すようになる。そのため、実効的な素子分離酸化膜 54 の幅 w' は $w' > w$ になる。

【0005】 上記従来の技術では素子分離酸化膜 54 の下部に上記拡散層 59、60 とは反対の導電型を有する

10

20

30

40

50

3

素子分離拡散層（図示省略）を形成していたとしても、第2層電極62の電位変化によって素子分離酸化膜54の下部が寄生素子として動作する。そのため、素子分離酸化膜54を挟んで形成される素子間で導通が生じ、両者の電位を変化させるという問題があった。その結果、半導体装置の信頼性が損なわれていた。

【0006】さらに、上記のようなサイドウォール酸化膜を形成するための酸化膜の段差カバリッジ性は大口径シリコンウエハになる程低下する。そのため、従来の技術では、酸化膜をエッチバックするときに生じる素子分離酸化膜の膜厚減少は避けられない。

【0007】本発明は、素子分離酸化膜上の第1層電極間スペースが狭い領域において、素子分離酸化膜厚を減少させることなく、サイドウォール酸化膜を形成するのに優れた半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた半導体装置の製造方法である。すなわち、第1の製造方法は、半導体基板の素子形成領域を電気的に分離する素子分離酸化膜を形成する工程と、素子形成領域上および素子分離酸化膜上にトランジスタのゲート絶縁膜を形成する工程と、このゲート絶縁膜上に素子を形成する工程と、この素子を覆う状態に酸化膜を形成した後、この酸化膜をエッチバックして素子の側部にサイドウォール酸化膜を形成する工程とを備えた製造方法において、ゲート絶縁膜は窒化膜を含む積層膜または窒化酸化膜で形成されるとともに、エッチバックにおいては酸化膜がゲート絶縁膜に対して選択的にエッチングされる。

【0009】第2の製造方法は、半導体基板の素子形成領域を電気的に分離する素子分離酸化膜を形成する工程と、素子形成領域上および素子分離酸化膜上に素子を形成する工程と、この素子を覆う状態に絶縁膜を形成した後、その絶縁膜をエッチバックして素子の側部にサイドウォール絶縁膜を形成する工程とを備えた製造方法において、その素子を形成した後で絶縁膜を形成する前に、この絶縁膜をエッチバックした際に少なくとも下地が露出される部分に、このエッチバックにおいて絶縁膜が選択的にエッチングされるストップ絶縁膜を形成する。

【0010】上記第1の製造方法では、素子分離酸化膜上に形成するゲート絶縁膜を窒化膜を含む積層膜または窒化酸化膜で形成し、かつエッチバックにおいては酸化膜がゲート絶縁膜に対して選択的にエッチングされることから、酸化膜のエッチバックではゲート絶縁膜がいわゆるエッチングストップとなる。そのため、素子分離酸化膜をエッチングすることなく素子の側部に酸化膜からなるサイドウォール酸化膜が形成される。

【0011】上記第2の製造方法では、素子分離酸化膜上に素子を形成した後でその素子を覆う絶縁膜を形成す

4

る前に、この絶縁膜をエッチバックしたとき下地が露出される部分に、エッチバックにおいて絶縁膜が選択的にエッチングされるストップ絶縁膜を形成したことから、素子分離酸化膜をエッチングすることなく素子の側部に絶縁膜からなるサイドウォール酸化膜が形成される。

【0012】

【発明の実施の形態】本発明の第1実施例を図1の製造工程断面図によって説明する。図では一例として、MOSトランジスタのゲート電極にサイドウォール酸化膜を形成する製造工程を示す。また図1の(1)では、部分拡大図も併せて示す。

【0013】図1の(1)に示すように、例えば既知のLOCOS酸化法によって、シリコン基板11の表面側に酸化シリコン(SiO_2)からなる素子分離酸化膜12を形成する。その後、素子分離酸化膜12の下部に寄生素子動作を抑制するためのイオン注入を施して、素子分離拡散層（図示省略）を形成する。次いで例えば熱酸化法によって、シリコン基板11の表層に第1酸化シリコン(SiO_2)膜13を形成する。さらに例えば低圧下における化学的気相成長（以下、CVDという、CVDはChemical Vapour Depositionの略）法によって、窒化膜となる窒化シリコン(Si_3N_4)膜14を形成する。さらに上記窒化シリコン膜14の上層を酸化して第2酸化シリコン(SiO_2)膜15を形成することで、窒化シリコン膜14を含む積層膜からなるゲート絶縁膜16を形成する。

【0014】次いで図1の(2)に示すように、例えばCVD法によって、上記ゲート絶縁膜16上に例えば多結晶シリコン膜を形成する。その後リソグラフィ技術（例えば、レジスト塗布、露光、現像、ベーク等）および異方性エッチング技術とによって、上記多結晶シリコン膜をパターニングしてゲート電極21、22、23を形成する。そして上記ゲート電極21～23をマスクにしたイオン注入法によって、シリコン基板11にMOSトランジスタのLDD（Lightly Doped Drain）領域となる低濃度拡散層24、25を形成する（図では、ゲート電極23に対する低濃度拡散層24、25を示した）。

【0015】続いて図1の(3)に示すように、CVD法によって、シリコン基板11上の全面に酸化シリコン(SiO_2)からなる酸化膜を堆積した後、その酸化膜の全面エッチバックを行って、ゲート電極21、22、23の各側部にサイドウォール酸化膜26、27、28を形成する。その際、下地のゲート絶縁膜16のうち窒化シリコン膜14〔図の(1)参照〕とのエッチング選択比が20程度になるようにエッチング条件を設定する。

【0016】上記のようなエッチング選択比となるようにエッチング条件を設定すれば、上記窒化シリコン膜14〔図の(1)参照〕の膜厚は5nm程度あれば十分に

5

エッチングストップパとしての機能を果たす。そして酸化膜の段差カバリッジ性が60%程度となる素子分離酸化膜12上のゲート電極21, 22間(ゲート電極21, 22の間隔は0.35 μ m)の領域であっても、素子分離酸化膜12の膜厚を減少させることなく、ゲート電極21, 22の側部にサイドウォール酸化膜26, 27が形成される。

【0017】上記エッチバックでは、エッチング装置に例えば電子サイクロトロン共鳴[ECR (Electron Cyclotron Resonance)]プラズマエッチング装置を用いる。そしてエッチングガスに炭素を含む比率の高いエッチングガス[例えばオクタフルオロプロパン(C₄F₈)]を使うことで、窒化シリコン膜との高選択比を実現する。

【0018】さらに図1の(4)に示すように、素子分離酸化膜12とMOSトランジスタのゲート電極21~23とサイドウォール酸化膜26~28とをイオン注入マスクとしたイオン注入法によって、各ゲート電極21~23の両側におけるシリコン基板11に、上記低濃度拡散層24, 25を介して高濃度拡散層29, 30を形成する(図では、ゲート電極23に対する高濃度拡散層29, 30を示した)。

【0019】その後、CVD法によって層間絶縁膜41を形成し、さらにCVD法によって多結晶シリコン膜を堆積する。そしてリソグラフィ技術(例えば、レジスト塗布、露光、現像、ベーク等)と異方性エッチング技術とによって、上記多結晶シリコン膜をパターンニングして上層電極42を形成する。

【0020】上記第1実施例の製造方法では、素子分離酸化膜12上に形成するゲート絶縁膜16を窒化シリコン膜14を含む積層膜で形成し、かつ酸化膜のエッチバックをゲート絶縁膜16とのエッチング選択比を取って行うことから、このエッチバックではゲート絶縁膜16がいわゆるエッチングストップパとなる。そのため、素子分離酸化膜12をエッチングすることなくゲート電極21, 22の側部に酸化膜からなるサイドウォール酸化膜26, 27が形成される。このように、素子分離酸化膜12の膜厚を減少させることがないため、上層電極42に電位変化が起こっても寄生素子が動作することはない。したがって、素子分離酸化膜12上のゲート電極21, 22の間隔を0.35 μ mよりも狭くすることが可能になる。よって、セルサイズを縮小化できるので、半導体装置の高集積化が図れる。

【0021】さらに上記第1実施例では、ゲート絶縁膜16を第1酸化シリコン膜13と窒化シリコン膜14と第2酸化シリコン膜15とからなる3層構造の積層膜で形成したが、例えば酸化シリコン膜と窒化シリコン膜との2層構造、または窒化酸化シリコン(SiON)膜の1層構造で形成することも可能である。また上記プロセスでは、高濃度拡散層29, 30を形成する際のいわゆ

6

るキャッピング膜として上記ゲート絶縁膜16を用いることが可能である。さらにMISトランジスタのサイドウォール絶縁膜26~28の下部に上記低圧CVD法で形成された窒化シリコン(Si₃N₄)膜14が形成されることからトランジスタの寿命が長くなる。

【0022】上記第1実施例では、MOSトランジスタの製造方法に適用した一例を説明したが、サイドウォール酸化膜26~28の形成は最下層電極のサイドウォール酸化膜に限らず、サイドウォール酸化膜を形成するためのエッチング時に素子分離酸化膜をエッチングしてその膜厚を減少させるようなプロセスに対して、全てに適用することが可能である。

【0023】次に本発明の第2実施例を、図2の製造工程断面図によって説明する。図では、上記第1実施例の図1で説明したのと同様の構成部品には同一符号を付す。

【0024】図2の(1)に示すように、例えば既知のLOCOS酸化法によって、シリコン基板11の表面側に酸化シリコン(SiO₂)からなる素子分離酸化膜12を形成する。その後、素子分離酸化膜12の下部に寄生素子動作を抑制するためのイオン注入を施して、素子分離拡散層(図示省略)を形成する。次いで例えば熱酸化法によって、シリコン基板11の表層を酸化してゲート絶縁膜31を形成する。

【0025】次いで図2の(2)に示すように、例えばCVD法によって、上記ゲート絶縁膜31上に例えば多結晶シリコン膜を形成する。その後リソグラフィ技術(例えば、レジスト塗布、露光、現像、ベーク等)および異方性エッチング技術とによって、上記多結晶シリコン膜をパターンニングして素子分離酸化膜12上にゲート電極21, 22を形成するとともに、素子形成領域となるシリコン基板11上にゲート絶縁膜31を介してゲート電極23を形成する。そして上記ゲート電極21~23をマスクにしたイオン注入法によって、MOSトランジスタのLDD(Lightly Doped Drain)領域となる低濃度拡散層24, 25を形成する(図では、ゲート電極23に対する低濃度拡散層24, 25を示した)。

【0026】続いて図2の(3)に示すように、低圧CVD法によって、シリコン基板11上の全面に、窒化シリコン(Si₃N₄)からなるストップ絶縁膜32を形成する。

【0027】さらに図2の(4)に示すように、CVD法によって、全面に例えば酸化シリコン(SiO₂)からなる絶縁膜を堆積した後、その絶縁膜の全面エッチバックを行って、ゲート電極21, 22, 23の各側部に上記ストップ絶縁膜32を介してサイドウォール絶縁膜33, 34, 35を形成する。その際、下地のストップ絶縁膜32とのエッチング選択比が10程度になるようにエッチング条件を設定する。

【0028】上記のようなエッチング選択比となるよう

7

にエッチング条件を設定すれば、上記ストップパ絶縁膜 32 の膜厚は 10 nm 程度あれば十分にエッチングストップパとしての機能を果たす。そして酸化膜の段差カバリッジ性が 60% 程度となる素子分離酸化膜 12 上のゲート電極 21, 22 間（ゲート電極 21, 22 の間隔は 0.35 μ m）の領域であっても、素子分離酸化膜 12 の膜厚を減少させることなく、ゲート電極 21, 22 の側部にサイドウォール酸化膜 33, 34 が形成される。

【0029】上記エッチバックも、上記第 1 実施例と同様に、エッチング装置に例えば ECR プラズマエッチング装置を用い、炭素を含む比率の高いエッチングガス（例えば C₄F₈）を使うことで、窒化シリコン膜との高選択比を実現する。

【0030】さらに図 2 の（5）に示すように、素子分離酸化膜 12 と MOS トランジスタのゲート電極 21 ~ 23 とサイドウォール酸化膜 33 ~ 35 とをイオン注入マスクとしたイオン注入法によって、各ゲート電極 21 ~ 23 の両側に、上記低濃度拡散層 24, 25 を介して高濃度拡散層 29, 30 を形成する（図では、ゲート電極 23 に対する高濃度拡散層 29, 30 を示した）。

【0031】その後、CVD 法によって層間絶縁膜 41 を形成し、さらに CVD 法によって多結晶シリコン膜を堆積する。そしてリソグラフィ技術（例えば、レジスト塗布、露光、現像、ベーク等）と異方性エッチング技術とによって、上記多結晶シリコン膜をパターニングして上層電極 42 を形成する。

【0032】上記第 2 実施例の製造方法では、素子分離酸化膜 12 上にゲート電極 21 ~ 23 が形成された後でそのゲート電極 21 ~ 23 を覆う絶縁膜を形成する前に、この絶縁膜をエッチバックしたとき下地が露出される部分に、エッチバックにおいて絶縁膜が選択的にエッチングされるストップパ絶縁膜 32 を形成することから、絶縁膜のエッチングはストップパ絶縁膜 32 上で停止する。そのため、素子分離酸化膜 12 をエッチングすることなく素子となるゲート電極 21, 22 の側部に絶縁膜からなるサイドウォール酸化膜 33, 34 が形成される。このように、素子分離酸化膜 12 の膜厚を減少させることがないため、上層電極 42 に電位変化が起こっても寄生素子が動作することはない。したがって、素子分離酸化膜 12 上のゲート電極 21, 22 の間隔を 0.35 μ m よりも狭くすることが可能になる。よって、セルサイズを縮小化することができるので、半導体装置の高集積化が図れる。

【0033】さらに上記第 2 実施例では、ストップパ絶縁膜 32 を窒化シリコン膜で形成したが、例えば窒化酸化シリコン（SiON）膜で形成することも可能である。また上記プロセスでは、高濃度拡散層 29, 30 を形成する際のいわゆるキャッピング膜として上記ストップパ絶

8

縁膜 32 を用いることが可能である。そのため、上記ストップパ絶縁膜 32 を形成することによる工程数増はない。また、ストップパ絶縁膜 32 は層間絶縁膜の一部にもなり、ストップパ絶縁膜 32 が低圧 CVD 法で形成された窒化シリコン（Si₃N₄）膜からなる場合には、層間耐圧の確保が容易になるため、層間絶縁膜 41 の膜厚を薄くすることが可能になる。さらに MIS トランジスタのサイドウォール絶縁膜 33 ~ 35 の下部に上記低圧 CVD 法で形成された窒化シリコン（Si₃N₄）膜からなるストップパ絶縁膜が形成されることから、トランジスタの寿命が長くなる。

【0034】上記第 2 実施例では、MOS トランジスタの製造方法に適用した一例を説明したが、サイドウォール絶縁膜 33 ~ 35 の形成は最下層電極のサイドウォール絶縁膜に限らず、サイドウォール絶縁膜を形成するためのエッチング時に素子分離酸化膜をエッチングしてその膜厚を減少させるようなプロセスに対して、全てに適用することが可能である。

【0035】

【発明の効果】以上、説明したように、素子分離酸化膜上に形成するゲート絶縁膜を窒化膜を含む積層膜または窒化酸化膜で形成した発明によれば、ゲート絶縁膜上に形成した酸化膜のエッチバックでゲート絶縁膜がいわゆるエッチングストップパとなる。そのため、素子分離酸化膜をエッチングすることなく素子の側部に酸化膜からなるサイドウォール酸化膜を形成することができる。また、素子分離絶縁膜上に素子を形成した後で絶縁膜を形成する前に、エッチバックにおいて絶縁膜が選択的にエッチングされるストップパ絶縁膜を形成した発明によれば、絶縁膜のエッチバックでストップパ絶縁膜がいわゆるエッチングストップパとなる。そのため、素子分離酸化膜をエッチングすることなく素子の側部に絶縁膜からなるサイドウォール絶縁膜を形成することができる。よって、上記発明では、素子分離酸化膜がエッチングされないためその膜厚が保たれるので、半導体装置の信頼性を確保することができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例の製造工程断面図である。

【図 2】本発明の第 2 実施例の製造工程断面図である。

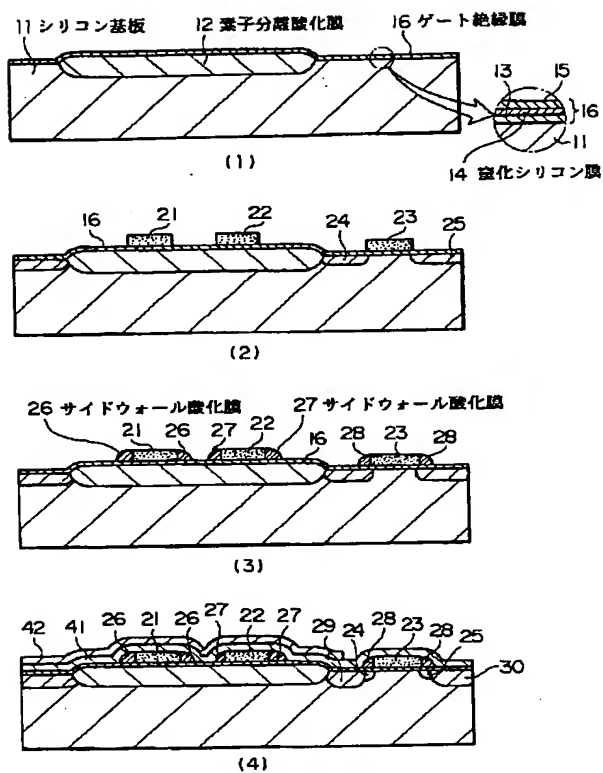
【図 3】従来技術の説明図である。

【図 4】課題の説明図である。

【符号の説明】

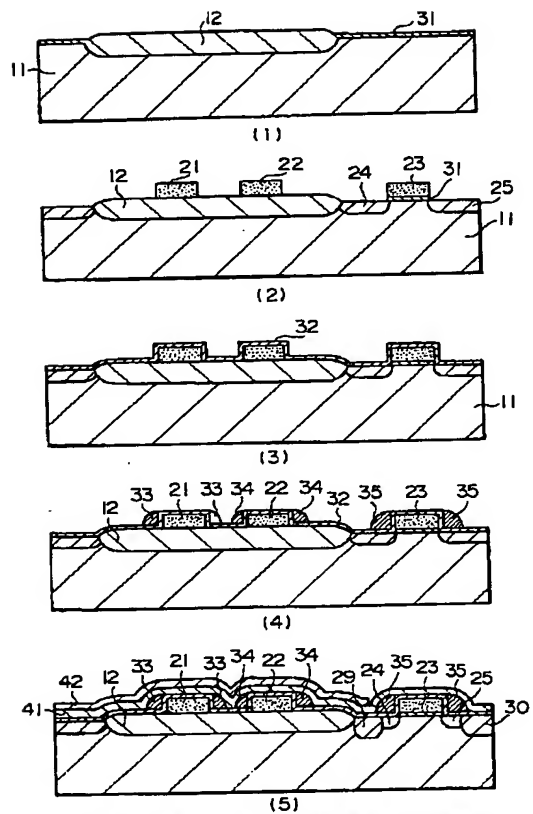
- 11 半導体基板
- 12 素子分離酸化膜
- 16 ゲート絶縁膜
- 21 ~ 23 ゲート電極
- 26 ~ 28 サイドウォール酸化膜

【図1】



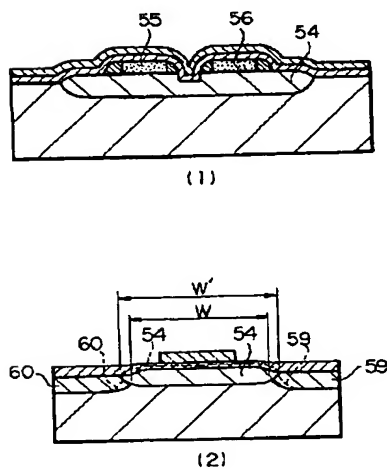
本発明の第1実施例の製造工程断面図

【図2】



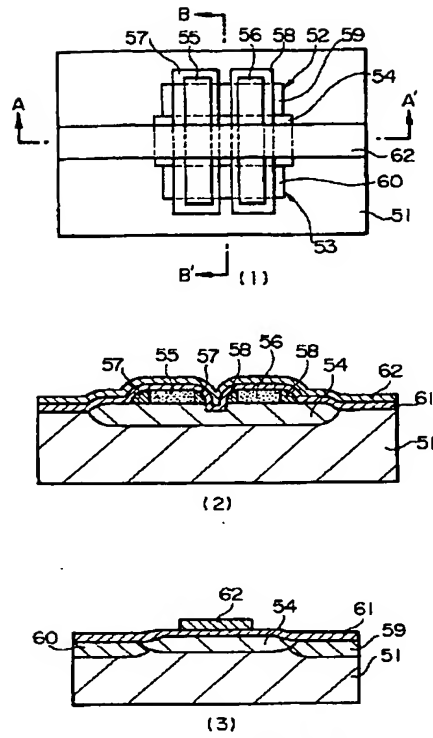
本発明の第2実施例の製造工程断面図

【図4】



課題の説明図

【図 3】



従来技術の説明図

THIS PAGE BLANK (USPTO)